

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月 5日

出 願 番 号

Application Number:

特願2000-168143

出 願 人

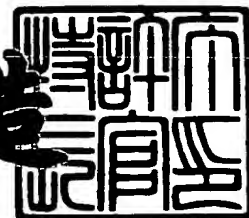
Applicant (s):

株式会社半導体エネルギー研究所

2001年 4月13日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3031149

【書類名】 特許願

【整理番号】 P004957

【提出日】 平成12年 6月 5日

【あて先】 特許庁長官殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 ▲ひろ▼木 正明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 素子基板の検査装置及びそれを用いた検査方法

【特許請求の範囲】

【請求項 1】

電流計と前記電流計に電氣的に接続された対向検出電極及び X 線発生装置を有することを特徴とする素子基板の検査装置。

【請求項 2】

請求項 1 において、前記対向検出電極の対向画素がマトリクス状に形成されることを特徴とする素子基板の検査装置。

【請求項 3】

請求項 1 及び請求項 2 において、対向検出電極が有する対向画素、及び素子基板が有する画素電極がそれぞれ電氣的に選択されることを特徴とする素子基板の検査装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、前記対向検出電極が素子基板と一体となり移動することを特徴とする素子基板の検査装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一において、前記対向検出電極が前記 X 線発生装置と一体化され、素子基板が移動することを特徴とする素子基板の検査装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、前記対向検出電極、電氣的な通路及び前記素子基板が電氣的に接続されることを特徴とする素子基板の検査装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一に記載の素子基板の検査装置を用いて、素子基板に形成された画素の動作不良を検査することを特徴とする素子基板の検査方法。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一に記載の素子基板の検査装置を用いて、素子基板上に形成される画素が有する電流制御用トランジスタに流れる電流を測定し、電流制御用トランジスタの駆動を制御している前記画素が有すトランジスタ、及び前記画素の周辺駆動回路が有するトランジスタの動作不良を検査することを特徴とする素子基板の検査方法。

【請求項 9】

電流計に電氣的に接続された対向検出電極と駆動回路に接続された素子基板との間に存在する空気層に X 線を照射することで素子基板に流れる電流値を測定することを特徴とする素子基板の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本発明は、E L（エレクトロルミネッセンス）素子を基板上に作り込んで形成された自発光装置において、E L 素子を形成する前に画素部が正常に動作するかを検査する方法に関する。特に半導体素子（半導体薄膜を用いた素子）を用いた E L ディスプレイにおいて、E L 素子を形成する前に画素部が正常に動作するかどうかを検査する方法に関する。

【0003】

【従来の技術】

近年、基板上に T F T（thin film transistor）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置（自発光装置）への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0004】

このようなアクティブマトリクス型の自発光装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電気光学装置の小型化、歩留まりの

上昇、スループットの低減など、様々な利点が得られる。

【 0 0 0 5 】

そしてさらに、自発光型素子として E L 素子を有したアクティブマトリクス型の自発光装置（E L ディスプレイ）の研究が活発化している。E L ディスプレイは有機 E L ディスプレイ（O E L D : Organic EL Display）又は有機ライトエミッティングダイオード（O L E D : Organic Light Emitting Diode）とも呼ばれている。

【 0 0 0 6 】

E L ディスプレイは、自発光型である。また、本明細書では、自発光装置の一例として E L ディスプレイを用いて説明する。E L 素子是一对の電極（陽極と陰極）間に E L 層が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている E L ディスプレイは殆どこの構造を採用している。

【 0 0 0 7 】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【 0 0 0 8 】

本明細書において陰極と陽極の間に設けられる全ての層を総称して E L 層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て E L 層に含まれる。

【 0 0 0 9 】

そして、上記構造でなる E L 層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

【 0 0 1 0 】

E L 素子が有する E L 層は熱、光、水分、酸素等によって劣化が促進されるこ

とから、一般的にアクティブマトリクス型のE Lディスプレイの作製において、画素部に配線やT F Tを形成した後にE L素子が形成される。

【 0 0 1 1 】

そしてE L素子が形成された後、E L素子が設けられた基板（E Lパネル）とカバー材とを、E L素子が外気に曝されないように貼り合わせてシール材等により封止（パッケージング）する。

【 0 0 1 2 】

パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（F P C、T A B等）を取り付けて、アクティブマトリクス型のE Lディスプレイが完成する。

【 0 0 1 3 】

【発明が解決しようとする課題】

アクティブマトリクス型のE Lディスプレイにおいて、E L素子の一对の電極からE L層にかける所定の電圧（E L層に流れる電流）は、各画素に設けられたトランジスタによって制御される。そのため、画素部が有するトランジスタが正常に機能しなかったり、配線が断線またはショートするなど、何らかの不具合が生じると、E L素子が有するE L層に所定の電圧（電流）をかけることができなくなる。その場合、画素は所望の階調を表示することができなくなってしまう。

【 0 0 1 4 】

しかし、このように画素部においてE L素子の発光を制御する配線やトランジスタに何らかの不具合が生じていても、E Lディスプレイを完成させて実際に表示を行うまで、その不具合の存在を確認することが難しい。そのため実際には製品にならない画素部を有していても、良品との区別をつけるために、E L素子を完成させ、パッケージングし、コネクタを取り付けてE Lディスプレイとして完成させる必要がある。この場合、E L素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とが無駄になるため時間とコストを抑えることができない。また多面取りの基板を用いてE Lパネルを形成する場合でも、パッケージングしコネクタを取り付ける工程が無駄になり、同様に時間と

コストを抑えることができない。

【 0 0 1 5 】

アクティブマトリクス型の E L ディスプレイに先行して量産化されているアクティブマトリクス型の液晶ディスプレイでは、2つの基板間に液晶を封入して液晶ディスプレイを完成させる前に、画素部において配線や T F T を形成した後、各画素が有するコンデンサに電荷を蓄積し、その電荷量を各画素に測定することで、画素部に不具合が生じていないかどうかを確認している。

【 0 0 1 6 】

しかしアクティブマトリクス型の E L ディスプレイの場合、一般的に各画素に T F T が 2 つ以上設けられていることが多い。そして E L 素子が有する一方の電極（画素電極）とコンデンサとが、トランジスタを間に介して接続されている場合がある。この場合、コンデンサに蓄積した電荷量を測定しても、コンデンサと画素電極との間に接続されている配線及びトランジスタに不具合があるかどうかを確認することが難しい。

また、E L ディスプレイの場合には E L 素子に電流を流す必要があることから、流れる電流値を測定することも必要である。

【 0 0 1 7 】

アクティブマトリクス型の E L ディスプレイの量産化に向けて、E L ディスプレイを完成させる前に、画素部において配線及びトランジスタに不具合が生じていないか、言いかえると、各画素の E L 素子の画素電極に所定の電圧を印加することができるか（もしくは、所定の電流を流すことが出来るか）どうかの検査方法の確立が求められている。

【 0 0 1 8 】

【発明を解決するための手段】

本発明で開示する X 線を用いた検査方法では、画素部において配線及び半導体素子を形成した後、E L 素子の画素電極を形成し、パターニングを行うことによりそれぞれの画素を独立させる。

なお、本明細書中では、半導体素子が形成された基板を素子基板と呼ぶ。なお、半導体素子としてはトランジスタ、特に電界効果型トランジスタ、代表的には

MOS (Metal Oxide Semiconductor) トランジスタや薄膜トランジスタ (Thin Film Transistor : TFT) が挙げられる。従って、MOS トランジスタが形成された半導体基板や TFT が形成された基板はどちらも素子基板に含まれる。

#### 【 0 0 1 9 】

そして画素部が有する配線のうち、全ての電源供給線を同じ電位に保った状態で、ゲート信号線を順に選択してソース信号線に同じ電位を有する信号を順に入力し、全ての画素を順に選択していく。なお本明細書において画素が選択されるとは、画素が有するゲート信号線が選択されている状態で、該画素が有するソース信号線にビデオ信号が入力されることを意味する。

#### 【 0 0 2 0 】

また、対向検出電極を素子基板上に備え、図 1 (A) に示すように上方から対向検出電極を介して素子基板上に電磁波（好ましくは X 線）を照射する。ある画素が、選択されているときには選択された画素と検査マスク基板間に選択的に X 線が照射される。このとき、X 線により気体（ここでは、空気）が電離して、イオンが発生し、電流が流れやすい電氣的な通路が生じる。これにより素子基板上の画素が選択された際には素子基板と対向検出電極との間が電氣的に接続される。

#### 【 0 0 2 1 】

このとき、対向検出電極に流れる電流は、対向検出電極と電氣的に接続された電流計により測定することができる。すなわち、ここで測定した電流値は、素子基板の選択された画素に入力されたビデオ信号によるものである。そして、測定した電流の値がある一定の範囲内に納まっているかどうかを評価することで、各画素が有する配線及びトランジスタに不具合が生じていないかどうかを検査することができる。

#### 【 0 0 2 2 】

ある画素が選択されているときに画素電極または画素電極となる導電膜に流れる電流が一定の範囲からはずれている場合、該画素が有するトランジスタが正常に機能していなかったり、配線が断線またはショートするなどの不具合が生じているものとみなすことができる。逆にある画素が選択されているときに画素電極



または画素電極となる導電膜に流れる電流が一定の範囲に納まっている場合、該画素が有するトランジスタ及び配線は正常に機能しているものとみなすことができる。

## 【 0 0 2 3 】

なお、トランジスタ及び配線が正常に機能していとみなすことができる電流値の範囲は、実施者が適宜設定することができる。また検査した結果、不具合が生じている画素（不良画素）の数が画素部に  $n$  個以上存在している場合、該素子基板は不良品とみなされる。なお不良品とみなす不良画素の数  $n$  は、実施者が適宜設定することができる。

## 【 0 0 2 4 】

本発明の検査方法によって、素子基板を E L ディスプレイとして完成させ実際に表示を行わなくても、E L パネルが良品か不良品かの区別をつけることが可能になる。

## 【 0 0 2 5 】

## 【発明の実施の形態】

## 【 0 0 2 6 】

本発明の検査装置及びそれを用いて素子基板を検査する方法について図 1 を用いて説明する。なお、本発明で用いる自発光装置に用いるトランジスタは、M-O-S トランジスタであっても薄膜トランジスタ（以下、T F T という）であっても良い。また、T F T の場合、構造を限定する必要はなくプレーナ型や逆スタガ型といった構造の T F T を用いればよい。さらに、本発明で用いる自発光装置の駆動回路も公知のものを用いればよい。

また、本発明を E L 素子を有する自発光装置に用いた場合には、E L 素子の素子構造及び E L 材料に公知のものを用いればよいし、一方、液晶を自発光装置に用いた場合にも公知のものを用いればよい。

## 【 0 0 2 7 】

本明細書において、検査装置とは、X 線発生装置 1 0 1 及び対向検出電極 1 0 2 をあわせたもののことをいう。しかし、ここで示した対向検出電極 1 0 2 は、本実施形態の一例であり、図 1（A）に示したような形状に限られることはない

。対向検出電極のその他の形状に関しては、本明細書中の実施例で詳しく述べる  
こととする。

【0028】

また、X線発生装置101は、高電圧電源104に接続されており、X線発生  
装置101内部の2枚の電極間に数kVの高電圧をかけた際に、陰極で発生した  
電子が、陽極に衝突することでX線が発生する。

【0029】

一般的にX線は、光イオン化の機能を有している。この原理としては、安定し  
た原子及び分子にX線を照射することで、原子及び分子中の電子がはじき出され  
、電子がなくなったことによりプラス（+）の極性となった原子及び分子が発生  
する。

【0030】

そして、さらにはじき出された電子が別の安定した原子又は、分子を攻撃する  
ことでマイナス（-）の極性を持つ原子又は分子を発生させる。

【0031】

これにより、結果としてX線が照射されている気体中は、プラスとマイナスに  
イオン化された原子又は、分子が存在することになる。そこで、本発明では、素  
子基板103と対向検出電極102を図1（A）に示すように重ね合わせて上方  
のX線発生装置101からX線を照射させ、対向検出電極102を透過したX線  
が空気層を通り素子基板103に照射されるようにする。このとき対向検出電極  
102と素子基板103の間に存在する空気はX線により電離するため、イオン  
による電気的な通路を形成させることが可能となる。なお、ここでは、空気層と  
したが、より電離しやすい気体により形成される気体層でも良い。また、X線が  
対向検出電極1202と素子基板間の距離は極力近い方が好ましい。なお、具体  
的には、対向検出電極1202と素子基板間の距離が500 $\mu$ m以下となるのが  
好ましい。

【0032】

素子基板103中には、画素がマトリクス状に複数形成されている。また、素  
子基板103は、駆動回路107に接続されている。そして、例えば図1（A）

に示すように画素 1 0 5 が選択され、ソース側駆動回路からのビデオ信号（電流）が入力されると、素子基板上の画素 1 0 5 の画素電極には、ソース側駆動回路から入力されたビデオ信号が伝わり、更にこのビデオ信号は X 線に電離された電極間を通り素子基板 1 0 3 の上部に位置する対向検出電極 1 0 2 中の対向画素 1 0 6 に流れる。

#### 【 0 0 3 3 】

ここで、素子基板 1 0 3 にマトリクス状に形成された画素 1 0 5 の拡大図を図 1 (B) に示す。なお、ここではトランジスタの例として T F T を例示して説明するが、M O S トランジスタを用いても構わない。図 1 (B) に示すように、検査を行う素子基板 1 0 3 は、絶縁体上に駆動用 T F T 及び画素部における T F T （スイッチング用 T F T 及び電流制御用 T F T が形成されている。

#### 【 0 0 3 4 】

図 1 (B) において、1 1 0 はスイッチング用 T F T である。スイッチング用 T F T 1 1 0 のゲート電極は、ゲート信号線 1 1 1 に接続されている。スイッチング用 T F T 1 1 0 のソース領域とドレイン領域は、一方がソース信号線 1 1 2 に、もう一方が電流制御用 T F T 1 1 3 のゲート電極、各画素が有するコンデンサ 1 1 4 にそれぞれ接続されている。

#### 【 0 0 3 5 】

コンデンサ 1 1 4 はスイッチング用 T F T 1 1 0 が非選択状態（オフ状態）にある時、電流制御用 T F T 1 1 3 のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。なおここではコンデンサ 1 1 4 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 1 1 4 を設けない構成にしても良い。

#### 【 0 0 3 6 】

また、電流制御用 T F T 1 1 3 のソース領域とドレイン領域は、一方が電流供給線 1 1 5 に接続され、もう一方は後に形成される E L 素子（陽極、陰極及び E L 層からなる）の画素電極を介して、X 線により電氣的な通路が出来た際に対向検出電極 1 0 2 の対向画素の検査用 T F T （図 1 (C) 1 2 0）のソース領域に接続される。なお、電流供給線 1 1 5 はコンデンサ 1 1 4 に接続されている。

## 【 0 0 3 7 】

また、対向検出電極 1 0 2 にマトリクス状に形成されている対向画素 1 0 6 の拡大図を図 1 (C) に示す。各対向画素にはそれぞれ検査用 T F T 1 2 0 が形成されており、ゲート電極は、ゲート信号線 1 2 1 に接続されている。そして、素子基板上のある画素が選択されたときには、ゲート信号線からの信号により、選択された画素の上方に位置する対向画素が選択される。なお、図示していないが、対向検出基板も素子基板と同じように駆動回路に接続されている。また、検査用 T F T 1 2 0 のドレイン領域は、ドレイン配線 1 2 2 に接続され、ドレイン配線 1 2 2 は、外部で電流計 1 2 3 に接続されている。

## 【 0 0 3 8 】

電流供給線 1 1 2 は電源電位が与えられており、また、電源電位は、外付けの I C 等により設けられた電源によって与えられる。

## 【 0 0 3 9 】

スイッチング用 T F T 1 1 0、電流制御用 T F T 1 1 3 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。ただし電流制御用 T F T 1 1 3 のソース領域またはドレイン領域が後に形成される E L 素子の陽極と接続されている場合、電流制御用 T F T 1 1 3 は p チャネル型 T F T であることが望ましい。また、電流制御用 T F T 1 1 3 のソース領域またはドレイン領域が E L 素子の陰極と接続されている場合、電流制御用 T F T 1 1 3 は n チャネル型 T F T であることが望ましい。

## 【 0 0 4 0 】

またスイッチング用 T F T 1 1 0、電流制御用 T F T 1 1 3 は、シングルゲート構造ではなく、ダブルゲート構造やトリプルゲート構造などのマルチゲート構造を有していても良い。

## 【 0 0 4 1 】

次に、本発明の対向検出電極及びそれを用いて検査する素子基板を図 2 (A) 及び図 2 (B) にそれぞれ示す。なお、図 1 (B) に示す画素 1 0 5 がマトリクス状に形成されているのが図 2 (A) に示す画素部 2 0 1 である。図 2 (A) には、ソース信号線 (S 1 ~ S x)、電流供給線 (V 1 ~ V x) 及びゲート信号線

(G 1 ~ G y) が画素部 2 0 1 に設けられている。

【 0 0 4 2 】

ここでは、ソース信号線 (S 1 ~ S x) と、電流供給線 (V 1 ~ V x) と、ゲート信号線 (G 1 ~ G y) とを 1 つずつ備えた領域が画素 1 0 5 である。

【 0 0 4 3 】

図 2 (B) は、本発明の対向検出電極に対向画素 1 0 6 がマトリクス状に形成されている対向画素部 2 0 2 を示す。なお、図 2 (B) には、ゲート信号線 (G 1 ~ G x) が対向画素部 2 0 2 に設けられている。また、対向画素における検査用 T F T のドレイン領域は、ドレイン配線に接続され、いずれも外部の電流計に接続される電流線 (A) に接続される。

【 0 0 4 4 】

次に素子基板上の画素におけるスイッチング用 T F T 及び電流制御用 T F T を本発明の検査法を用いて評価する方法について図 3 を用いて説明する。

【 0 0 4 5 】

図 3 (A) は、素子基板上の画素部に形成された画素一つ一つをそれぞれ X - Y 座標 (X, Y) で示したものである。つまりここでは、紙面に向かって横方向に X 列の画素が形成されており、紙面に向かって縦方向に Y 行の画素が形成されていることを示している。

【 0 0 4 6 】

そして、各画素のゲート電極が選択されると選択された画素にソース信号線駆動回路と電氣的に接続されるソース信号線からビデオ信号が入力される。このとき、ビデオ信号は気体を X 線で照射して発生するイオンによる電氣的な通路を通り、対向検出電極の対向画素中にある検査用 T F T に入力された後、ドレイン配線を通り、外部に接続された電流計に入力される。ここで、電流計により、ビデオ信号を測定することが出来る。なお、電流計は、基板上に形成させることも可能である。

【 0 0 4 7 】

なお、本実施の形態では、ビデオ信号がアナログ及びデジタルのいずれの場合においても「白」の情報を有していた場合、電流制御用 T F T はオンの状態とな

っている。よって画素電極には電源電位が与えられる。その結果、「白」の情報を有するビデオ信号が入力された画素から対向検出電極の対向画素及び電流計に電流が流れる。

## 【 0 0 4 8 】

逆に、「黒」の情報を有していた場合、素子基板に形成された電流制御用 T F T はオフの状態となっている。よって画素電極には電源電位は与えられない。その結果、「黒」の情報を有するビデオ信号が入力された画素から対向検出電極の対向画素及び電流計に流れる電流は「白」の情報を有するビデオ信号が入力された時に比べて少なくなる。

## 【 0 0 4 9 】

上記は、スイッチング用 T F T 及び電流制御用 T F T のいずれも正常に機能している場合である。しかし、これらのいずれかが不良であった場合には、流れるべき電流が流れなかったり、流れるはずのない電流が流れてしまったりといった事態が生じる。

## 【 0 0 5 0 】

そこで、本発明では、予め正常に機能する T F T を有する画素により、ビデオ信号が「黒」の時の電流値及び「白」の時の電流値を測定しておき参照データとするのがよい。

## 【 0 0 5 1 】

さらに本発明では、データの評価には、ビデオ信号が白の時と黒の時にそれぞれ流れる電流値の比（白黒の比）を用いた。

図 3（B）には、測定した結果を規格化した白黒の比で示した一例を示す。この規格化においては、参照データを用いて十分に白黒の比（コントラスト）がとれるものを 1 0 0 とした。この表は、縦軸に白黒の比を取り、横軸に画素の座標を取る。また、白黒の比に基準を設け、ここでは、白黒の比が 2 0 以上 1 0 0 以下であるときには、良品であるとする。つまり、図 3（B）の斜線領域が良品基準内となる。

## 【 0 0 5 2 】

しかし、座標（1, 3）のように白黒の比が基準値よりも低くなっている場合

には、不良品と判断し、それ以降の工程からはずすことになる。

白黒の比の良品基準は、求められる水準に応じて設定すればよい。

### 【 0 0 5 3 】

以上に示した方法を用いて、各画素の特性を評価することにより、不良品を早期に発見することができる。これにより不良品については、以降の E L 素子形成といった製造プロセスからはずすことが出来る。更に不良の程度によっては、リペア工程により修復させて以降の工程を流すことができる。以上の結果、不良品を最終工程まで通すことにより生じるロスの低減及びリペアでの修復により歩留まりの向上に寄与することが出来る。

### 【 0 0 5 4 】

#### 〔実施例 1〕

本実施例では、本発明の自発光装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路）の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

### 【 0 0 5 5 】

まず、図 4 (A) に示すように、コーニング社の # 7-0-5-9 ガラスや # 1 7.3-7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で  $S i H_4$ 、 $N H_3$ 、 $N_2 O$  から作製される酸化窒化シリコン膜 5 0 0 2 a を  $10 \sim 200$  [nm]（好ましくは  $50 \sim 100$  [nm]）形成し、同様に  $S i H_4$ 、 $N_2 O$  から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を  $50 \sim 200$  [nm]（好ましくは  $100 \sim 150$  [nm]）の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

### 【 0 0 5 6 】

島状半導体層 5 0 0 3 ～ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー

結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm] (好ましくは 3 0 ~ 6 0 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

## 【 0 0 5 7 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO<sub>4</sub> レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 [Hz] とし、レーザーエネルギー密度を 1 0 0 ~ 4 0 0 [mJ/cm<sup>2</sup>] (代表的には 2 0 0 ~ 3 0 0 [mJ/cm<sup>2</sup>]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 [kHz] とし、レーザーエネルギー密度を 3 0 0 ~ 6 0 0 [mJ/cm<sup>2</sup>] (代表的には 3 5 0 ~ 5 0 0 [mJ/cm<sup>2</sup>]) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 [μm]、例えば 4 0 0 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 8 0 ~ 9 8 [%] として行う。

## 【 0 0 5 8 】

次いで、島状半導体層 5 0 0 3 ~ 5 0 0 6 を覆うゲート絶縁膜 5 0 0 7 を形成する。ゲート絶縁膜 5 0 0 7 はプラズマ CVD 法またはスパッタ法を用い、厚さを 4 0 ~ 1 5 0 [nm] とし、シリコンを含む絶縁膜で形成する。本実施例では、1 2 0 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O<sub>2</sub> とを混合し、反応圧力 4 0 [Pa]、基板温度 3 0 0 ~ 4 0 0 [°C] とし、高周波 (1 3 . 5 6 [MHz])、電力密度 0 . 5 ~ 0 . 8 [W/cm<sup>2</sup>] で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 4 0 0 ~ 5 0 0 [°C] の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。



## 【 0 0 5 9 】

そして、ゲート絶縁膜 5 0 0 7 上にゲート電極を形成するための第 1 の導電膜 5 0 0 8 と第 2 の導電膜 5 0 0 9 とを形成する。本実施例では、第 1 の導電膜 5 0 0 8 を Ta で 5 0 ～ 1 0 0 [nm] の厚さに形成し、第 2 の導電膜 5 0 0 9 を W で 1 0 0 ～ 3 0 0 [nm] の厚さに形成する。

## 【 0 0 6 0 】

Ta 膜はスパッタ法で、Ta のターゲットを Ar でスパッタすることにより形成する。この場合、Ar に適量の Xe や Kr を加えると、Ta 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 $\alpha$  相の Ta 膜の抵抗率は 2 0 [ $\mu \Omega \text{cm}$ ] 程度でありゲート電極に使用することが出来るが、 $\beta$  相の Ta 膜の抵抗率は 1 8 0 [ $\mu \Omega \text{cm}$ ] 程度でありゲート電極とするには不向きである。 $\alpha$  相の Ta 膜を形成するために、Ta の  $\alpha$  相に近い結晶構造をもつ窒化タンタルを 1 0 ～ 5 0 [nm] 程度の厚さで Ta の下地に形成しておくことと  $\alpha$  相の Ta 膜を容易に得ることが出来る。

## 【 0 0 6 1 】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン ( $\text{WF}_6$ ) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 2 0 [ $\mu \Omega \text{cm}$ ] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 9 9 . 9 9 9 9 [%] の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ～ 2 0 [ $\mu \Omega \text{cm}$ ] を実現することが出来る。

## 【 0 0 6 2 】

なお、本実施例では、第 1 の導電膜 5 0 0 8 を Ta、第 2 の導電膜 5 0 0 9 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン

膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

#### 【0063】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF（13.56 [MHz]）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも100 [W]のRF（13.56 [MHz]）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

#### 【0064】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20 [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50 [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016（第1の導電層5011a～5016aと第2の導電層5011b～5016b）を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は20～50 [nm]程度エッチングされ薄くなった領域が形成される。

（図4（A））

## 【 0 0 6 5 】

そして、第 1 のドーピング処理を行い N 型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$  とし、加速電圧を  $60 \sim 100 [\text{keV}]$  として行う。N 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、導電層 5011 ~ 5015 が N 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 5017 ~ 5025 が形成される。第 1 の不純物領域 5017 ~ 5025 には  $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms}/\text{cm}^3]$  の濃度範囲で N 型を付与する不純物元素を添加する。(図 4 (B))

## 【 0 0 6 6 】

次に、図 4 (C) に示すように、レジストマスクは除去しないまま、第 2 のエッチング処理を行う。エッチングガスに  $\text{CF}_4$  と  $\text{Cl}_2$  と  $\text{O}_2$  とを用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の形状の導電層 5026 ~ 5031 (第 1 の導電層 5026a ~ 5031a と第 2 の導電層 5026b ~ 5031b) を形成する。このとき、ゲート絶縁膜 5007 においては、第 2 の形状の導電層 5026 ~ 5031 で覆われない領域はさらに  $20 \sim 50 [\text{nm}]$  程度エッチングされ薄くなった領域が形成される。

## 【 0 0 6 7 】

W 膜や Ta 膜の  $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。W と Ta のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である  $\text{WF}_6$  が極端に高く、その他の  $\text{WCl}_5$ 、 $\text{TaF}_5$ 、 $\text{TaCl}_5$  は同程度である。従って、 $\text{CF}_4$  と  $\text{Cl}_2$  の混合ガスでは W 膜及び Ta 膜共にエッチングされる。しかし、この混合ガスに適量の  $\text{O}_2$  を添加すると  $\text{CF}_4$  と  $\text{O}_2$  が反応して  $\text{CO}$  と  $\text{F}$  になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、Ta は F が増大しても相対的にエッチング速度の増加は少ない。また、Ta は W に比較して酸化されやすいので、 $\text{O}_2$  を

添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

## 【0068】

そして、図5（A）に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 [keV]とし、 $1 \times 10^{13}$  [atoms/cm<sup>2</sup>]のドーズ量で行い、図4（B）で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン（P）の濃度は、第1の導電層5026a～5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパ部と重なる半導体層において、第1の導電層5026a～5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

## 【0069】

図5（B）に示すように第3のエッチング処理を行う。エッチングガスにCHF<sub>6</sub>を用い、反応性イオンエッチング法（RIE法）を用いて行う。第3のエッチング処理により、第1の導電層5026a～5031aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5042（第1の導電層5037a～5042aと第2の導電層5037b～5042b）を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5042で覆われない領域はさらに20～50 [nm]程度エッチングされ薄くなった領域が形成される。

## 【 0 0 7 0 】

第3のエッチング処理によって、第3の不純物領域5032～5036においては、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b～5036bとが形成される。

## 【 0 0 7 1 】

そして、図5（C）に示すように、Pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043～5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005及び配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043～5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（ $B_2H_6$ ）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [atoms/cm^3]$ となるようにする。

## 【 0 0 7 2 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

## 【 0 0 7 3 】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが

好ましい。

【 0 0 7 4 】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【 0 0 7 5 】

次いで、図6（A）に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200 [nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、及びゲート絶縁膜5007に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）5057～5062、5064をパターンニング形成した後、接続配線5062に接する画素電極5063をパターンニング形成する。

【 0 0 7 6 】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、-B C B-（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではT F Tによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 [ $\mu$ m]（さらに好ましくは2～4 [ $\mu$ m]）とすれば良い。

【 0 0 7 7 】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、N型の不純物領域5017、5018、5021、5023またはP型の不純物領域5043～5054に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、及びゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【 0 0 7 8 】

また、配線（接続配線、信号線を含む）5057～5062、5064として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものをを用いる。勿論、他の導電膜を用いても良い。

## 【0079】

また、本実施例では、画素電極5063としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極5063がEL素子の陽極となる。（図6（A））なお、検出の関係で画素電極面積に対して配線領域の面積が多くなると誤差が多くなるため画素エリアの比は、高い方が良好。又、表示素子においては、高開口率が求められるために両者の要求は合致している。

## 【0080】

ここまで形成したら、本発明の検査方法及び検査装置を用いて本発明の実施の形態で説明したように検査を行う。

また、ここまで形成した本実施例における自発光装置の画素部の上面図を図7（A）に、回路図を図7（B）に示す。なお、図7（A）及び図7（B）では、共通の符号を用いるので互いに参照すればよい。

スイッチング用TFT702のソースはソース配線715に接続され、ドレインはドレイン配線705に接続される。また、ドレイン配線705は電流制御用TFT706のゲート電極707に電氣的に接続される。また、電流制御用TFT706のソースは電流供給線716に電氣的に接続され、ドレインはドレイン配線717に電氣的に接続される。また、ドレイン配線717は点線で示される画素電極（陽極）718に電氣的に接続される。

## 【0081】

このとき、719で示される領域には保持容量が形成される。保持容量719は、電流供給線716と電氣的に接続された半導体膜720、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極707との間で形成される。また、ゲ

ート電極 7 0 7、第 1 層間絶縁膜と同一の層（図示せず）及び電流供給線 7 1 6 で形成される容量も保持容量として用いることが可能である。

さらに本実施例において用いる対向検出電極の上面図を図 8 に示す。なお、本実施例において用いる対向検出電極は、X 線を透過しやすい材料としてガラス、石英を用いればよい。そして、本実施例で説明した素子基板の作製と同様の方法を用いて作製することができる。ただし、対向検出電極の対向画素は、素子基板の画素電極を形成させた材料とは異なり、ベリリウムやアルミニウムといった X 線を透過しやすい材料を用いるとよい。また、これらの材料は、対向画素全面にベタに形成しても良いが、ストライプ状に形成しても、メッシュ状に形成しても良い。

#### 【 0 0 8 2 】

なお、対向検出基板を別の低温成膜プロセスにより作製した場合には、ガラス、石英の他に塩化ビニルやアクリルといった有機樹脂を用いることができる。

#### 【 0 0 8 3 】

8 0 1 は検査用 T F T であり、検査用 T F T 8 0 1 のソース領域 8 0 2 はソース配線 8 0 3 に接続され T F T の画素部と対向検出電極の間が X 線により電氣的通路が生じたときに T F T の画素部と電氣的に接続され、ドレイン 8 0 4 はドレイン配線（8 0 5 a 及び 8 0 5 b）に接続される。また、ドレイン配線（8 0 5 a 及び 8 0 5 b）は外部に設けられた電流計（図示せず）に電氣的に接続される。

#### 【 0 0 8 4 】

また、ゲート電極 8 0 6 は、ゲート線 8 0 7 に接続され、対向画素は、8 0 8 に点線で示される領域である。

#### 【 0 0 8 5 】

ここまで、素子基板を形成させたら以下に示すように本発明の素子基板の検査を行う。

まず、画素電極 7 1 8 及び対向画素 8 0 8 まで形成した素子基板 9 0 1 及び対向検出電極 9 0 2 を図 9 に示すように上下に備え検査を行う。

#### 【 0 0 8 6 】



X線発生装置 9 0 3 から対向検出電極 9 0 2 にX線を照射すると、対向検出電極 9 0 2 の対向画素 9 0 5 をX線が透過して、対向検出電極 9 0 2 の下に備えられている素子基板 9 0 1 の画素電極 9 0 4 上にX線が照射される。

## 【 0 0 8 7 】

これにより、電氣的な通路が形成され、素子基板上に形成された画素のうち、選択された画素に入力されたビデオ信号がこの電氣的な通路を通り上部の対向検出電極 9 0 2 中の対向画素にある検査用 T F T のソース領域に入力される。図 9 において 9 0 7 で示されるように気体がX線により電離されることにより見かけの抵抗が形成される。

## 【 0 0 8 8 】

そして、ソース領域からドレイン領域を経て、ドレイン配線により外部の電流計 9 0 6 に入力される。外部の電流計により、素子基板上の画素における画素電極上にビデオ信号が入力されたときと、入力されていないときの電流量を白黒の比により、素子基板上の T F T の品質を評価する。そして、ある基準値よりも低い品質のものをはずして E L 素子形成のプロセスを行う。

## 【 0 0 8 9 】

次に、図 6 ( B ) に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を 5 0 0 [nm] の厚さに形成し、画素電極 5 0 6 3 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 5 0 6 5 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する E L 層の劣化が顕著な問題となってしまうため、注意が必要である。

## 【 0 0 9 0 】

次に、E L 層 5 0 6 6 及び陰極 ( M g A g 電極 ) 5 0 6 7 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 0 6 6 の膜厚は 8 0 ~ 2 0 0 [nm] ( 典型的には 1 0 0 ~ 1 2 0 [nm] ) 、陰極 5 0 6 7 の厚さは 1 8 0 ~ 3 0 0 [nm] ( 典型的には 2 0 0 ~ 2 5 0 [nm] ) とすれば良い。

## 【 0 0 9 1 】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する

画素に対して順次、E L 層及び陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にE L 層及び陰極を形成するのが好ましい。

#### 【0092】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のE L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

#### 【0093】

ここではRGBに対応した3種類のE L 素子を形成する方式を用いたが、白色発光のE L 素子とカラーフィルタを組み合わせた方式、青色または青緑発光のE L 素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したE L 素子を重ねる方式などを用いても良い。

#### 【0094】

なお、E L 層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をE L 層とすれば良い。

#### 【0095】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用T F Tを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてM g A gを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

#### 【0096】

最後に、窒化珪素膜でなるパッシベーション膜 5 0 6 8 を 3 0 0 [nm] の厚さに形成する。パッシベーション膜 5 0 6 8 を形成しておくことで、E L 層 5 0 6 6 を水分等から保護することができ、E L 素子の信頼性をさらに高めることが出来る。

## 【 0 0 9 7 】

こうして図 6 ( B ) に示すような構造の E L ディスプレイが完成する。なお、本実施例における E L ディスプレイの作成工程においては、回路の構成及び工程の関係上、ゲート電極を形成している材料である T a 、 W によってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料である A l によってゲート信号線を形成しているが、異なる材料を用いても良い。

## 【 0 0 9 8 】

ところで、本実施例の E L ディスプレイは、画素部だけでなく駆動回路部にも最適な構造の T F T を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程において N i 等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を 1 0 [MHz] 以上にすることが可能である。

## 【 0 0 9 9 】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する T F T を、駆動回路部を形成する C M O S 回路の N チャネル型 T F T として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

## 【 0 1 0 0 】

本実施例の場合、N チャネル型 T F T の活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップ L D D 領域 (  $L_{OV}$  領域 ) 、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセット L D D 領域 (  $L_{OFF}$  領域 ) 及びチャネル形成領域を含む。

## 【 0 1 0 1 】

また、C M O S 回路の P チャネル型 T F T は、ホットキャリア注入による劣化

が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

#### 【 0 1 0 2 】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、 $L_{OV}$ 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。

#### 【 0 1 0 3 】

なお、実際には図6(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

#### 【 0 1 0 4 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では自発光装置という。

#### 【 0 1 0 5 】

また、本実施例で示す工程に従えば、電気光学装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び

歩留まりの向上に寄与することが出来る。

〔実施例 2〕

次に、上記と異なる画素部の構造を有する自発光装置を本発明に用いる場合の画素部の構造について図 1 0 を用いて説明する。

【0 1 0 6】

画素部 1 0 0 1 において、ソース信号線駆動回路に接続されたソース信号線（S 1 ～ S x）、F P C を介して自発光装置の外部の電源に接続された電源供給線（V 1 ～ V x）、書き込み用ゲート信号線駆動回路に接続された書き込み用ゲート信号線（第 1 のゲート信号線）（G a 1 ～ G a y）、消去用ゲート信号線駆動回路に接続された消去用ゲート信号線（第 2 のゲート信号線）（G e 1 ～ G e y）が画素部 1 0 0 1 に設けられている。

【0 1 0 7】

ソース信号線（S 1 ～ S x）と、電源供給線（V 1 ～ V x）と、書き込み用ゲート信号線（G a 1 ～ G a y）と、消去用ゲート信号線（G e 1 ～ G e y）とを備えた領域が画素 1 0 0 5 である。画素部 1 0 0 1 にはマトリクス状に複数の画素 1 0 0 5 が配列されることになる。

本実施例の構成は、実施例 1 の構成と組み合わせて実施することが可能である。

【0 1 0 8】

〔実施例 3〕

本実施例では、本発明の検査を行う場合に実施例 1 で示したのとは異なる対向検出電極を用いて検査を行う場合の方法について図 1 1 を用いて説明する。

【0 1 0 9】

図 1 1 において、1 1 0 1 は X 線発生装置であり、X 線発生装置 1 1 0 1 には高電圧電源 1 1 0 4 が電氣的に接続されている。

【0 1 1 0】

X 線発生装置から放射された X 線は、遮蔽板 1 1 0 5 の対象面上に相応した微細な穴を通過して対向検出電極 1 1 0 2 に照射され、その他の部分は X 線を十分に遮蔽できる材料で形成されている。そして、X 線は対向検出電極 1 1 0 2 を透

過して素子基板 1 1 0 3 上に放射される。なお、本実施例で用いる対向検出電極 1 1 0 2 は、実施例 1 で用いたようなマトリクス状の対向画素ごとに T F T が形成されているものとは異なり、絶縁体上に金属膜を形成させただけのものである。なお、金属膜は、全面ベタ状である必要はなく、ストライプ状に形成されたり、メッシュ状に形成されていても良い。

## 【 0 1 1 1 】

また、対向検出電極 1 1 0 2 は、素子基板 1 1 0 3 上に重なるようにのせて検査を行うことができる。

## 【 0 1 1 2 】

金属膜を形成させる金属としては、ベリリウムやアルミニウムといった X 線の透過率の高い材料を用いると良い。

また、遮蔽板 1 1 0 5 は、X 線を遮蔽させるものであればよい。例えば、鉛ガラスのような X 線の透過率の低い材料を用い、X 線を照射させる部分に穴を開けて使用してもよい。

## 【 0 1 1 3 】

そして、本実施例においては、X 線発生装置 1 1 0 1 及び遮蔽板 1 1 0 5 の下方に位置する対向検出電極 1 1 0 2 及び素子基板 1 1 0 3 を同時にずらしながら対向検出電極 1 1 0 2 と素子基板 1 1 0 3 の間に存在する空気層に X 線を照射する。

すなわち、ここでは、素子基板 1 1 0 3 は、対向検出電極 1 1 0 2 と一体になり移動している。

## 【 0 1 1 4 】

X 線が対向検出電極 1 1 0 2 を透過して対向検出電極 1 1 0 2 と素子基板 1 1 0 3 の間に存在する空気層に照射されることで、対向検出電極 1 1 0 2 と素子基板 1 1 0 3 間に電氣的な通路が形成され、これにより素子基板 1 1 0 3 に流れる電流値の測定を行うことができる。

## 【 0 1 1 5 】

なお、ここでは、素子基板 1 1 0 3 は、対向検出電極 1 1 0 2 と一体になり移動する構成を示したが、これらを固定して、X 線発生装置を移動する構成にする

ことも可能である。

【0116】

測定方法及び評価方法に関しては、実施例1と同様の方法を用いれば良い。なお、本実施例の構成は、実施例1及び実施例2の構成と組み合わせて実施することが可能である。

【0117】

〔実施例4〕

本実施例では、本発明の検査を行う場合に実施例1及び実施例3で示したのとは異なる対向検出電極を用いて検査を行う場合の方法について図12を用いて説明する。

【0118】

図12において、1201はX線発生装置であり、X線発生装置1201には高電圧電源1204が電氣的に接続されている。

【0119】

X線発生装置1201から放射されたX線は、対向検出電極1202に集められた後、対向検出電極1202を透過して素子基板1203上に放射される。ここで、対向検出電極1202に用いられる材料としては、X線の透過率の高いベリリウムやアルミニウムといった材料を用いると良い。

【0120】

本実施例では、X線発生装置1201と対向検出電極1202の下方に素子基板1203が備えられており、素子基板1203の各画素を検査するたびに素子基板1203を移動させる。また、ミラー1205は、X線を集光させる働きを有する。すなわち、対向検出電極1202は素子基板上をX線発生装置1201と一体になっており、その下方で素子基板が移動している。

【0121】

そして、X線が対向検出電極1202と素子基板1203の間に存在する空気層に照射されることで、対向検出電極1202と素子基板1203との間に電氣的な通路が形成され、これにより素子基板1203に流れる電流値の測定を行うことができる。

対向検出電極 1 2 0 2 を透過した X 線が素子基板 1 2 0 3 上の測定したい画素に照射されることで電氣的な通路を形成することができ、これにより測定を行うことができる。

【 0 1 2 2 】

なお、ここでは、素子基板 1 2 0 3 が移動する構成を示したが、素子基板 1 2 0 3 を固定して、一体化させた X 線発生装置 1 2 0 1 と対向検出電極 1 2 0 2 を移動する構成にすることも可能である。

【 0 1 2 3 】

また、この対向検出電極 1 2 0 2 をリング状にして X 線が通過するような形状にしても良いし、近傍に単なる電極を備えても良い。

【 0 1 2 4 】

本実施例においては、測定方法及び評価方法は、実施例 1 と同様であるが、X 線を集めるのが困難な場合には、必要に応じて周囲に反射率の高いミラーを備えたり、キャピラリープレートなどを備えて、X 線を所望の位置に照射しやすい環境にすると良い。また、対向検出電極 1 2 0 2 と素子基板間の距離は極力近い方が好ましい。なお、本実施例の構成は、実施例 1 ～実施例 3 の構成と自由に組み合わせて実施することが可能である。

【 0 1 2 5 】

〔実施例 5〕

実施例 1 ～実施例 4 では、素子基板として表面に T F T が形成された基板を例示したが、本発明は T F T の代わりに半導体基板に形成された M O S トランジスタを用いた場合においても実施することができる。例えば、M O S トランジスタが形成された半導体基板（典型的にはシリコンウェハ）も素子基板として検査することが可能である。

【 0 1 2 6 】

なお、本実施例の素子基板を検査するにあたって、発明の実施の形態、実施例 3 もしくは実施例 4 に示された検査方法のいずれの構成を用いても良い。

【 0 1 2 7 】

〔実施例 6〕



自発光装置は、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部に用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）の発光装置（自発光装置を筐体に組み込んだ電気光学装置）の表示部として本発明の検査法を用いた自発光装置を用いるとよい。

## 【0128】

なお、自発光装置には、パソコン用ディスプレイ、TV放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電気器具の表示部として本発明の検査方法を用いて自発光装置を用いることができる。

## 【0129】

その様な本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、自発光装置を用いることが望ましい。それら電気器具の具体例を図13、図14に示す。

## 【0130】

図13（A）は自発光装置であり、筐体1301、支持台1302、表示部1303等を含む。本発明の自発光装置は表示部1303に用いることができる。自発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

## 【0131】

図13（B）はビデオカメラであり、本体1311、表示部1312、音声入力部1313、操作スイッチ1314、バッテリー1315、受像部1316等を含む。本発明の自発光装置は表示部1312に用いることができる。

## 【0132】

図13(C)は頭部取り付け型の電気光学装置の一部(右片側)であり、本体1321、信号ケーブル1322、頭部固定バンド1323、スクリーン部1324、光学系1325、表示部1326等を含む。本発明の自発光装置は表示部1326に用いることができる。

## 【0133】

図13(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体1331、記録媒体(DVD等)1332、操作スイッチ1333、表示部(a)1334、表示部(b)1335等を含む。表示部(a)1334は主として画像情報を表示し、表示部(b)1335は主として文字情報を表示するが、本発明の自発光装置はこれら表示部(a)、(b)1334、1335に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

## 【0134】

図13(E)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体1341、表示部1342、アーム部1343を含む。本発明の自発光装置は表示部1342に用いることができる。

## 【0135】

図13(F)はパーソナルコンピュータであり、本体1351、筐体1352、表示部1353、キーボード1354等を含む。本発明の自発光装置は表示部1353に用いることができる。

## 【0136】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

## 【0137】

また、上記電気器具はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、自発光

装置は動画表示に好ましい。

【0138】

また、自発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に自発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0139】

ここで図14（A）は携帯電話であり、本体1401、音声出力部1402、音声入力部1403、表示部1404、操作スイッチ1405、アンテナ1406を含む。本発明の自発光装置は表示部1404に用いることができる。なお、表示部1404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。また、周囲が暗い場合印可する電圧を下げて、輝度を下げれば低電力化により有効である。

【0140】

また、図14（B）は音響再生装置、具体的にはカーオーディオであり、本体1411、表示部1412、操作スイッチ1413、1414を含む。本発明の自発光装置は表示部1412に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部1412は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0141】

図14（C）はデジタルカメラであり、本体1421、表示部（A）1422、接眼部1423、操作スイッチ1424、表示部（B）1425、バッテリー1426を含む。本発明の電気光学装置は、表示部（A）1422、表示部（B）1425にて用いることが出来る。また、表示部（B）1425を、主に操作パネルとして用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えることが出来る。

【0142】

また、本実施例にて示した携帯型電子機器においては、消費電力を低減するための方法としては、外部の明るさを感知するセンサ部を設け、暗い場所を使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

【 0 1 4 3 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ～実施例 5 に示したいずれの構成を適用しても良い。

【 0 1 4 4 】

【発明の効果】

本発明の検査方法によって、素子基板を E L ディスプレイとして完成させ実際に表示を行わなくても、素子基板が良品か不良品かの区別をつけることが可能になり、不良品を以降の製造プロセスからはずすことが出来る。その結果、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【図面の簡単な説明】

【図 1】 本発明の検査装置を示す図。

【図 2】 本発明の素子基板及び対向検出電極の画素構造を示す図。

【図 3】 本発明の検査による評価法を示す図。

【図 4】 自発光装置を作製する方法を示す図。

【図 5】 自発光装置を作製する方法を示す図。

【図 6】 自発光装置を作製する方法を示す図。

【図 7】 本発明を用いて検査した素子基板の上面図。

【図 8】 本発明に用いた対向検出電極の上面図。

【図 9】 本発明の検査方法を示す図。

【図 1 0】 自発光装置の画素の回路図。

【図 1 1】 本発明の対向検出電極の構成を示す図。

【図 1 2】 本発明の対向検出電極の構成を示す図。

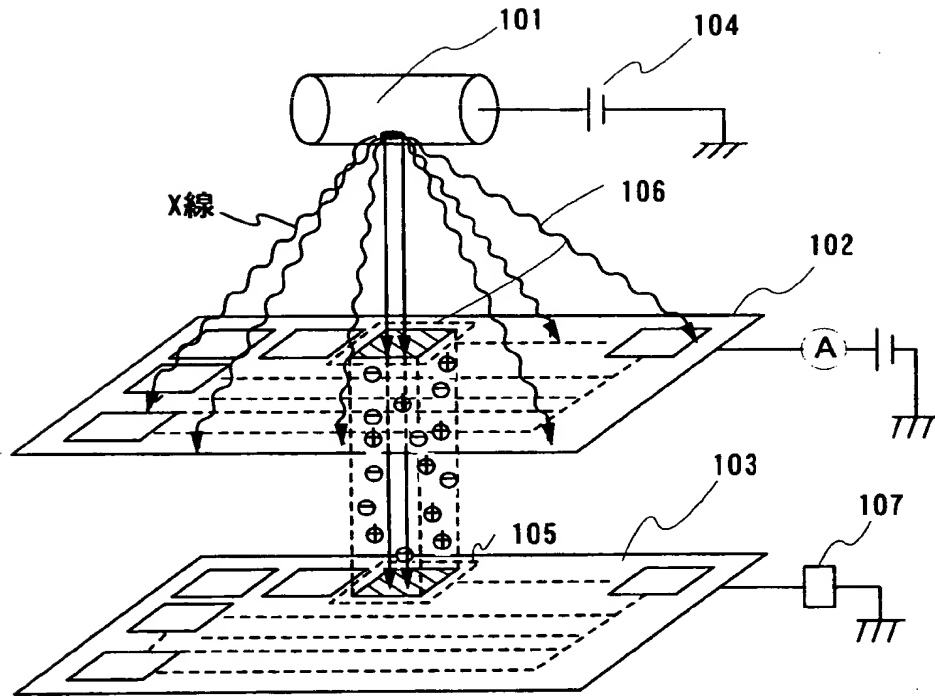
【図 1 3】 自発光装置を用いた電気器具。

【図 1 4】 自発光装置を用いた電気器具。

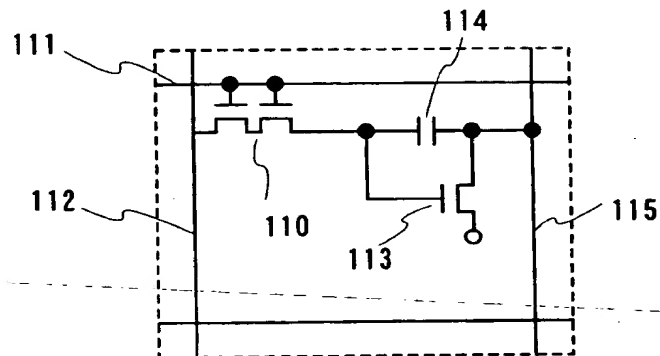
【書類名】 図面

【図 1】

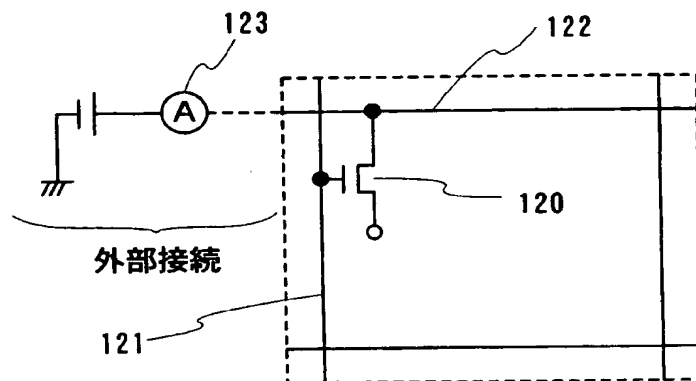
(A)



(B) 105の拡大図



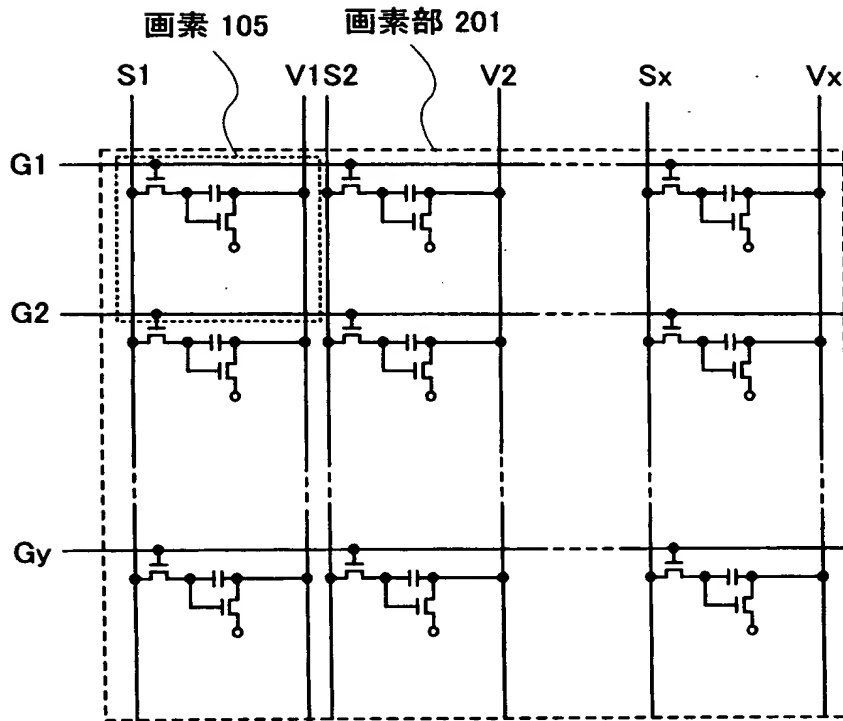
(C) 106の拡大図



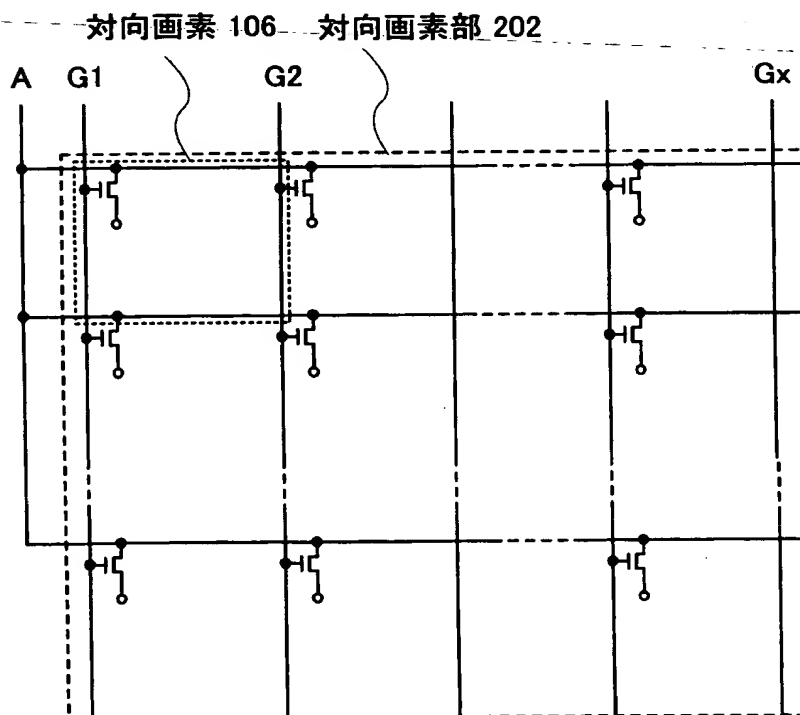
101: X線発生装置 102: 対向検出電極 103: TFT基板 104: 高電圧電源  
 105: 画素 106: 対向画素 107: 駆動回路 110: スイッチング用TFT 111: ゲート信号線  
 112: ソース信号線 113: 電流制御用TFT 114: コンデナ 115: 電流供給線  
 120: 検査用TFT 121: ゲート信号線 122: ドレイン配線 123: 電流計

【図 2】

(A)



(B)

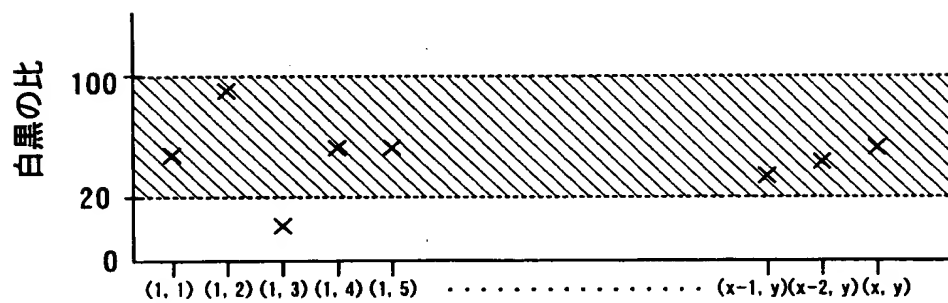


【図 3】

(A)

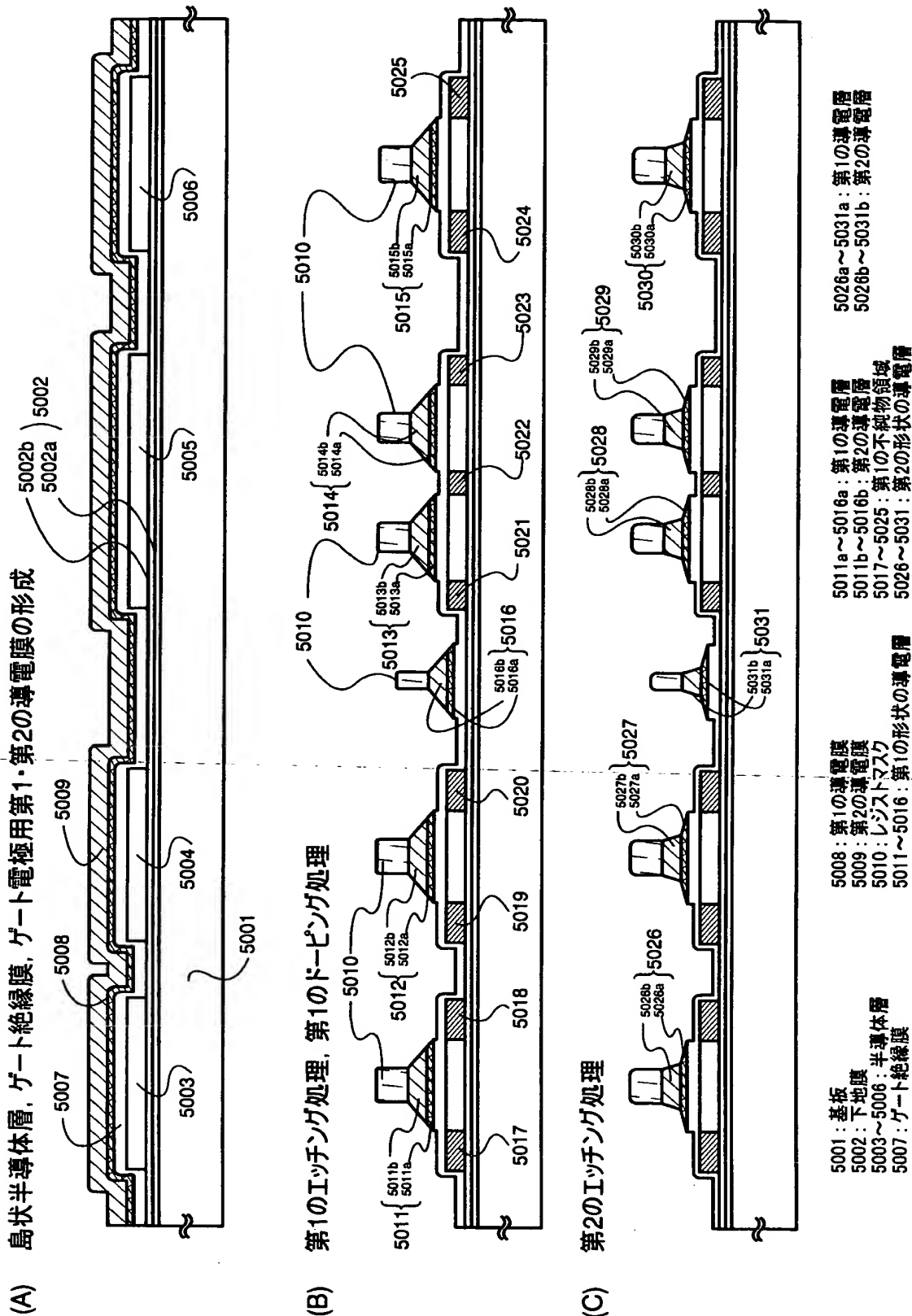
(1, 1)	(2, 1)	(3, 1)	(4, 1)		(x-1, 1)	(x, 1)
(1, 2)	(2, 2)	(3, 2)	(4, 2)		(x-1, 2)	(x, 2)
(1, 3)	(2, 3)	(3, 3)	(4, 3)		(x-1, 3)	(x, 3)
(1, 4)	(2, 4)	(3, 4)	(4, 4)		(x-1, 4)	(x, 4)
(1, y-1)	(2, y-1)	(3, y-1)	(4, y-1)		(x-1, y-1)	(x, y-1)
(1, y)	(2, y)	(3, y)	(4, y)		(x-1, y)	(x, y)

(B)



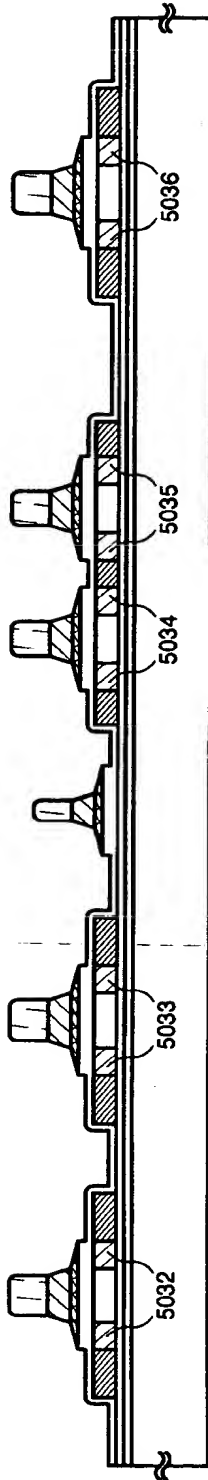


【図 4】

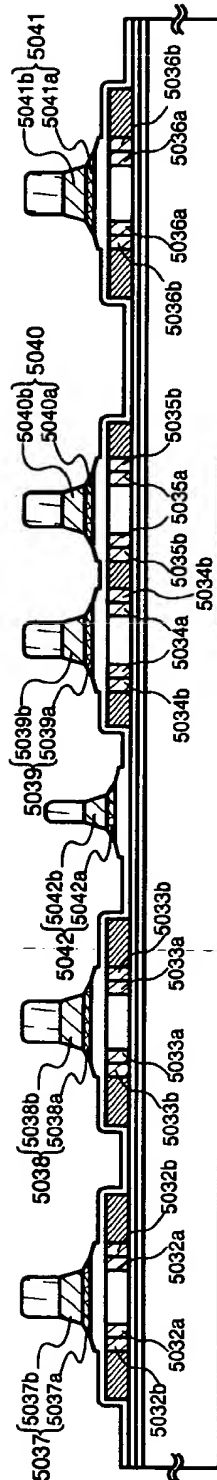


【図 5】

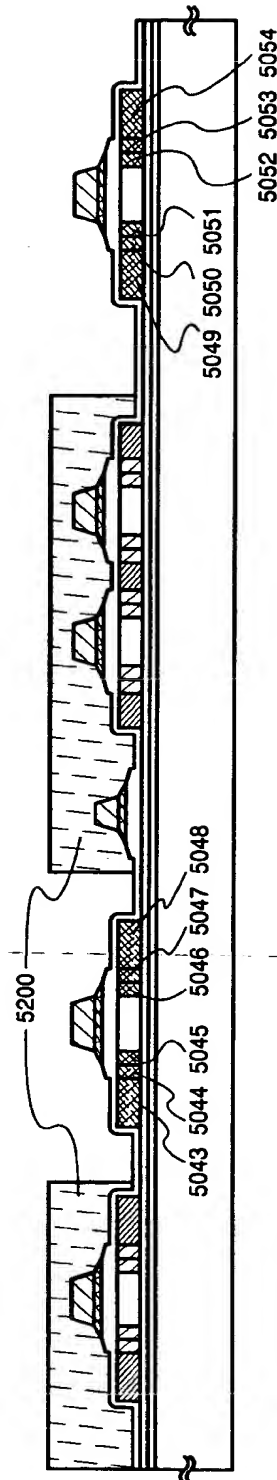
(A) 第2のドーピング処理



(B) 第3のエッチング処理



(C) 第3のドーピング処理

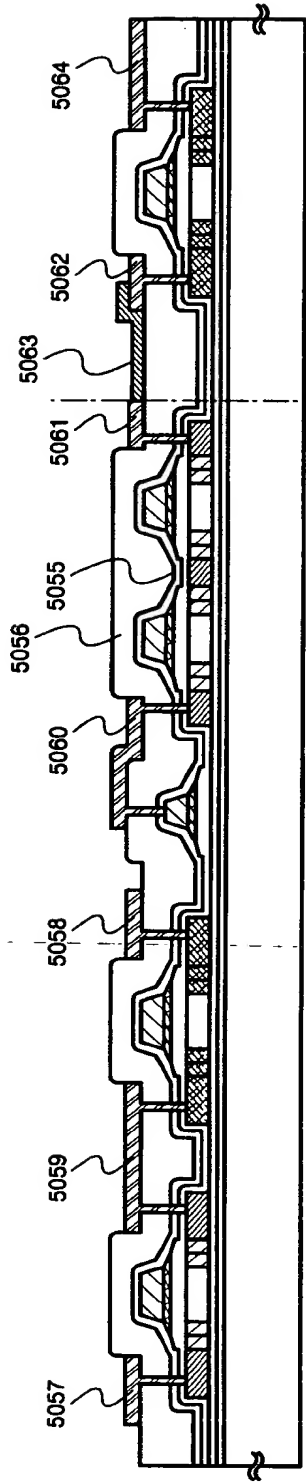


5032~5036 : 第3の不純物領域(エッチング前)  
 5032a~5036a : 第3の不純物領域(エッチング後)  
 5032b~5036b : 第2の不純物領域  
 5043~5054 : 第4の不純物領域

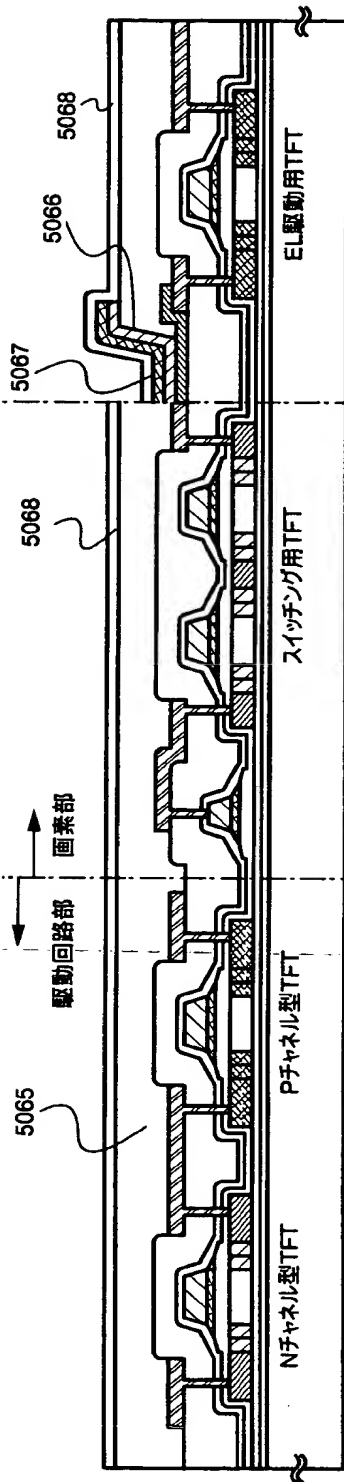
5200 : レジストマスク

【図 6】

(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成



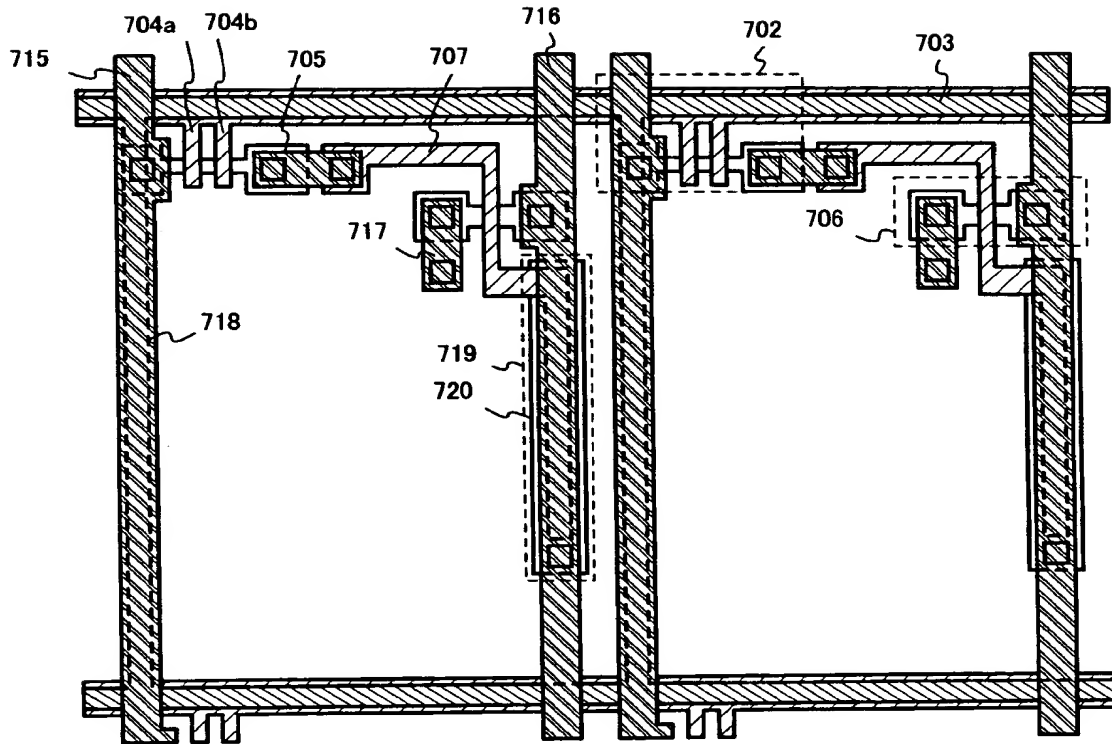
(B) 第3の層間絶縁膜, EL層, 陰極電極, パッシベーション膜形成



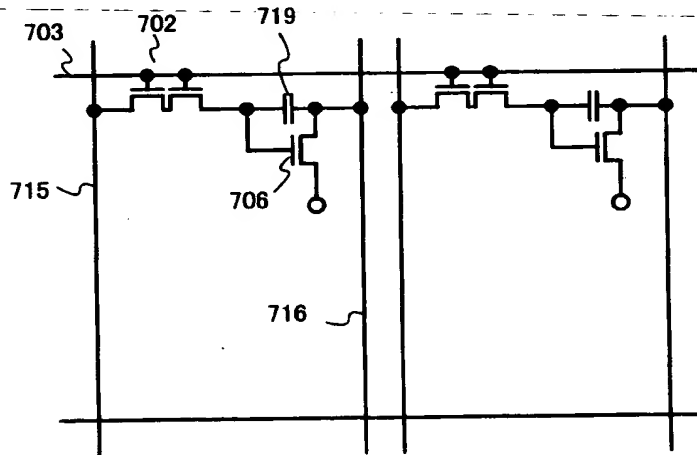
5055: 第1の層間絶縁膜  
5056: 第2の層間絶縁膜  
5057~5058: ソース配線  
5059: ドレイン配線  
5060~5062: 接続配線  
5063: 画素電極  
5064: 電源供給線  
5065: 第3の層間絶縁膜  
5066: EL層  
5067: 陰極  
5068: パッシベーション膜

【図 7】

(A)

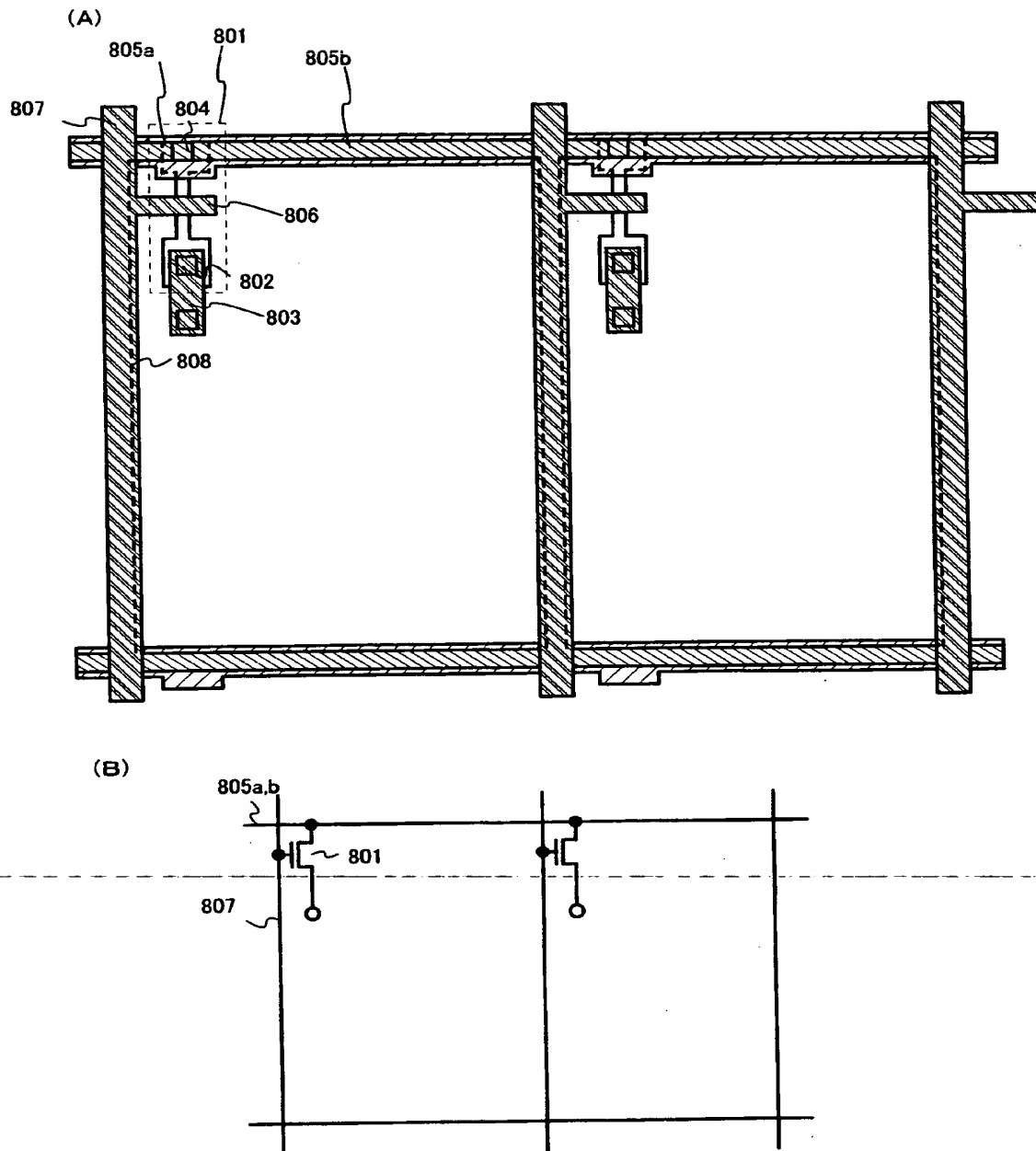


(B)



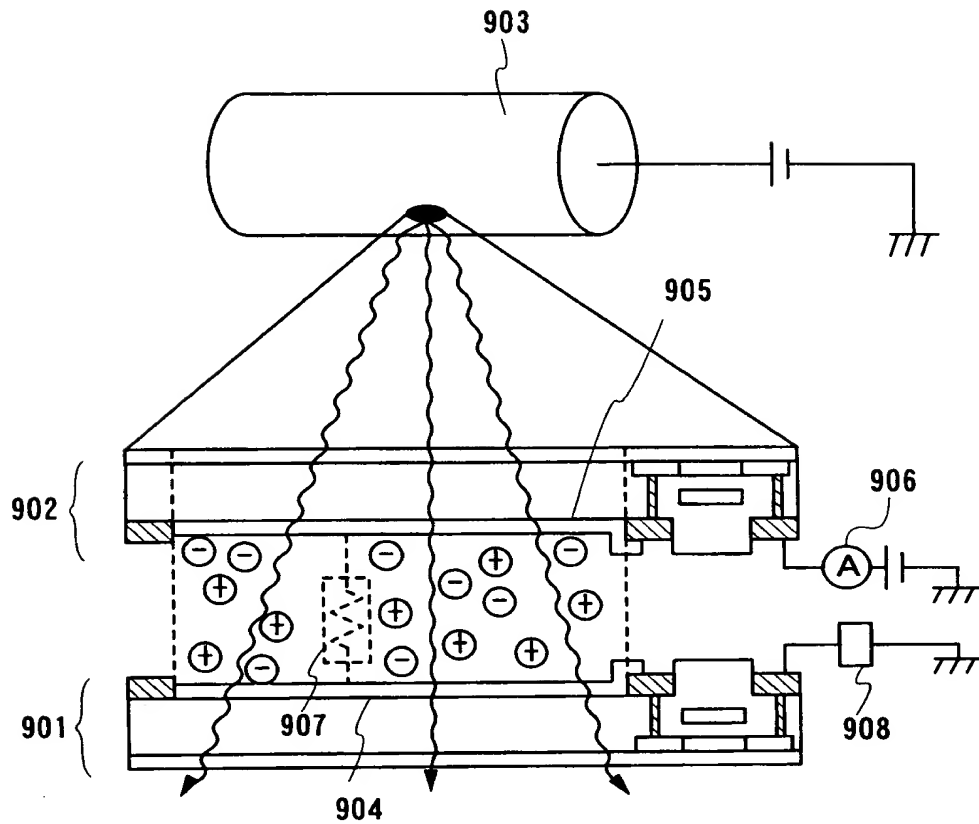
702:スイッチング用TFT 703:ゲート信号線 704a, b:ゲート電極 705:ドレイン配線  
 706:電流制御用TFT 707:ゲート電極 708:対向画素  
 715:ソース信号線 716:電流供給線 717:ドレイン配線 718:画素電極  
 719:保持容量 720:半導体膜

【図 8】



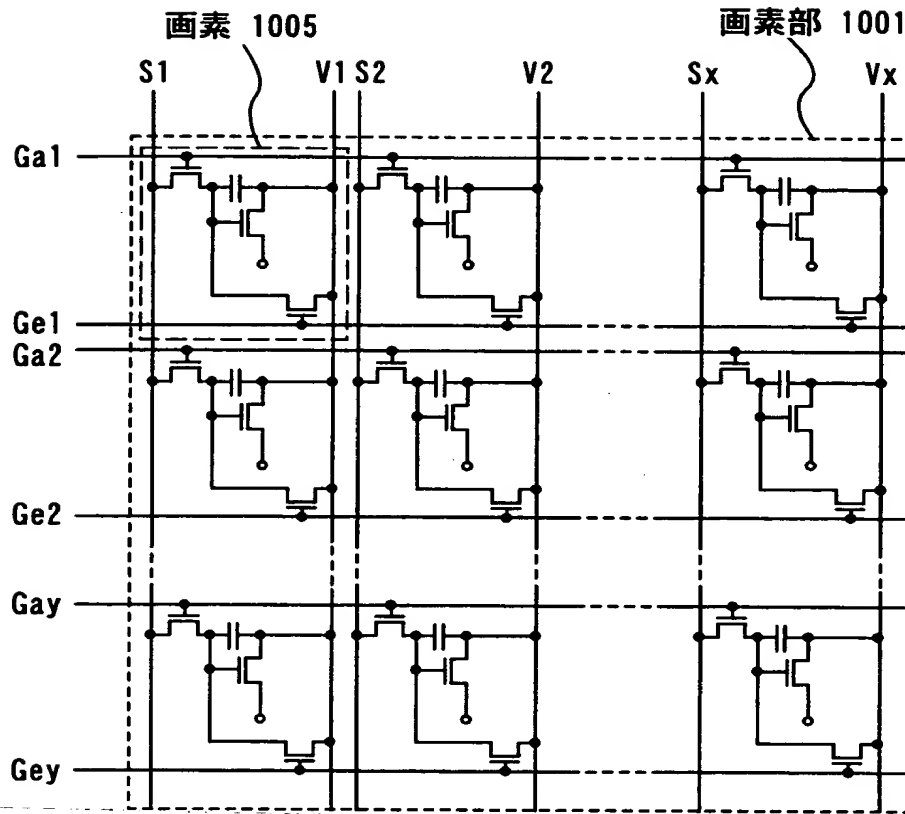
801:電流制御用TFT 802:ソース領域 803:ソース配線 804:ドレイン領域  
805a, b:ドレイン配線 806:ゲート電極 807:ゲート信号線 808:対向画素

【図9】

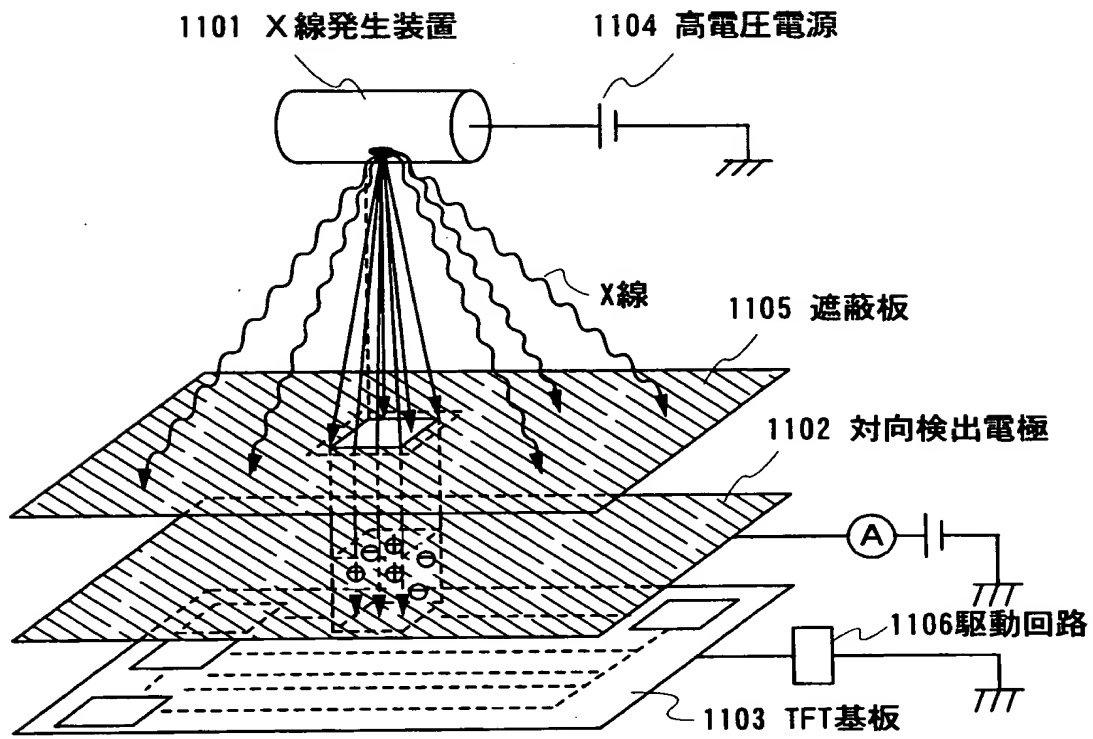


901: TFT基板 902: 対向検出電極 903: X線発生装置  
904: 画素電極 905: 対向画素 906: 電流計 908: 駆動回路

【図 1 0】

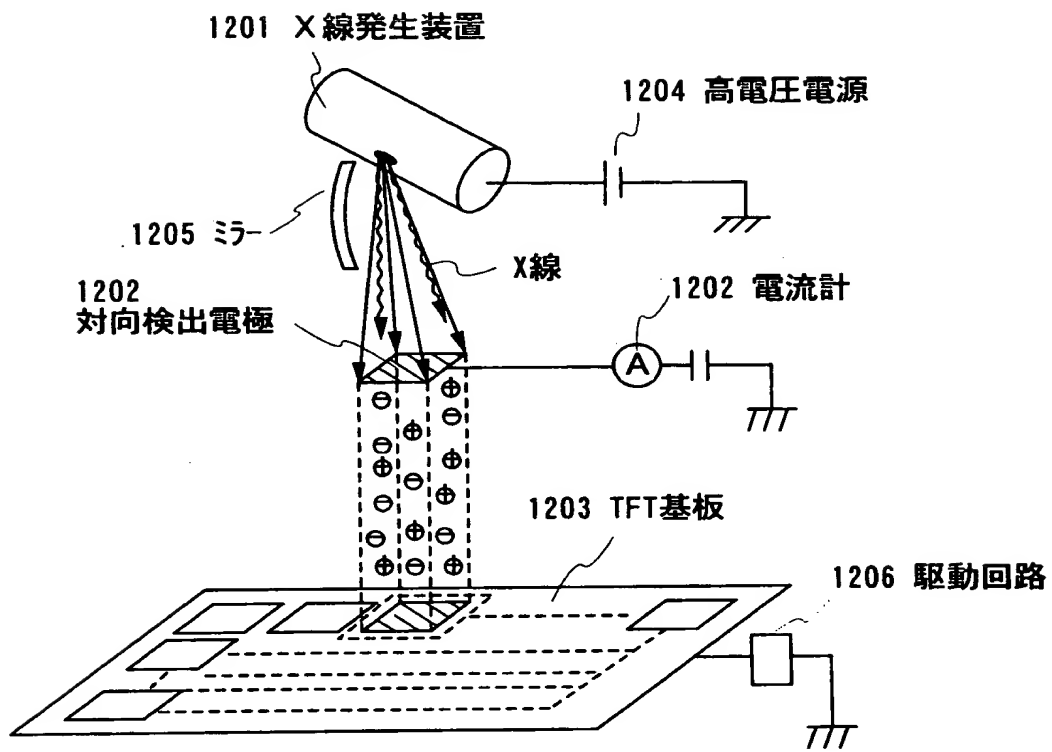


【図11】

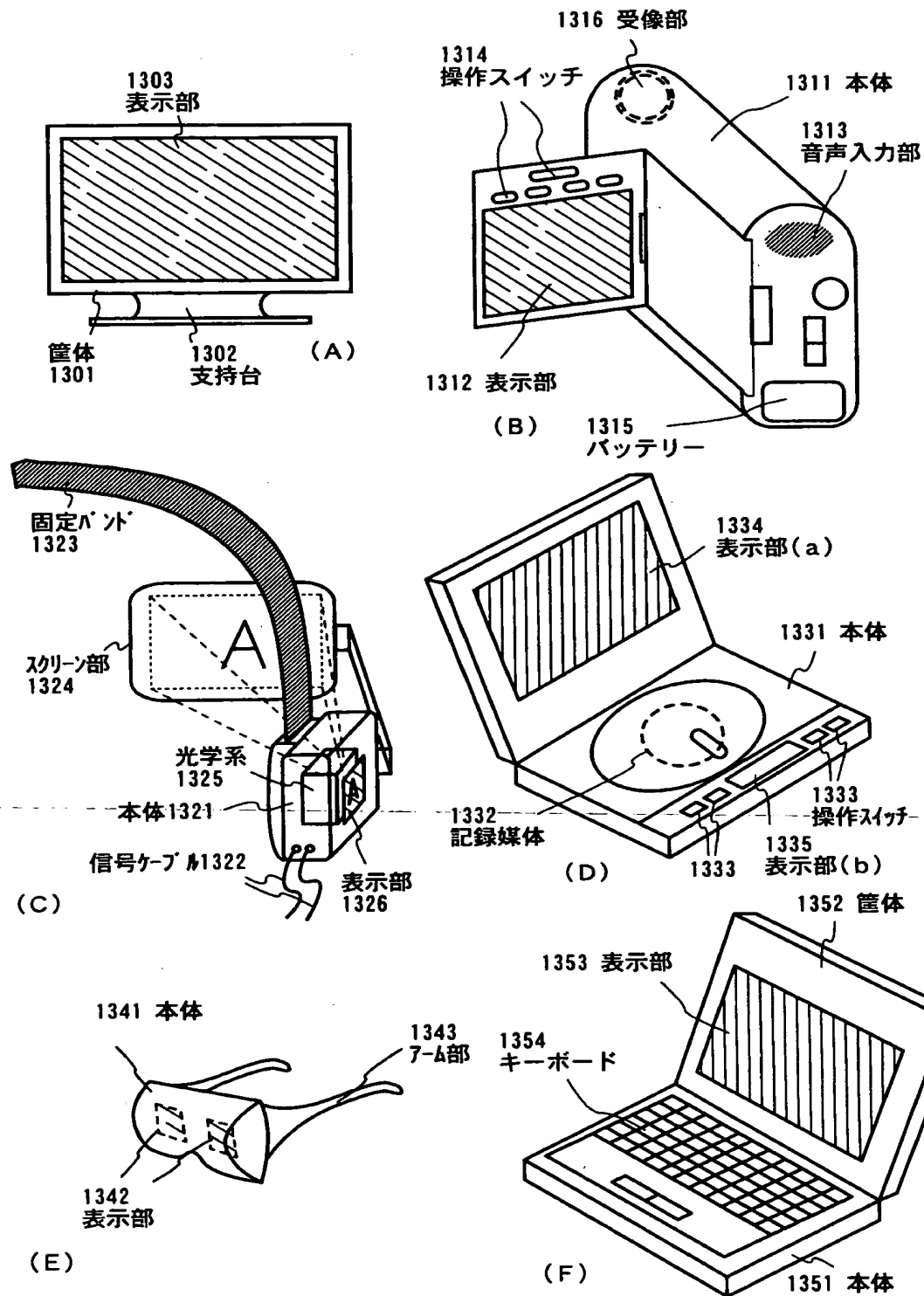




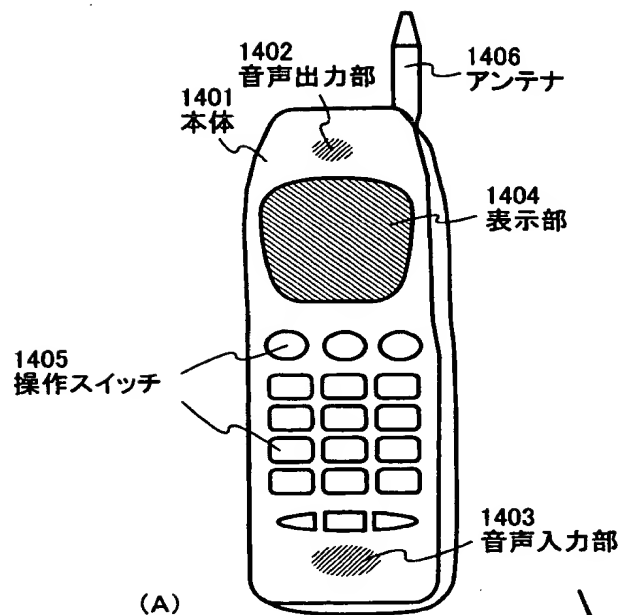
【図 12】



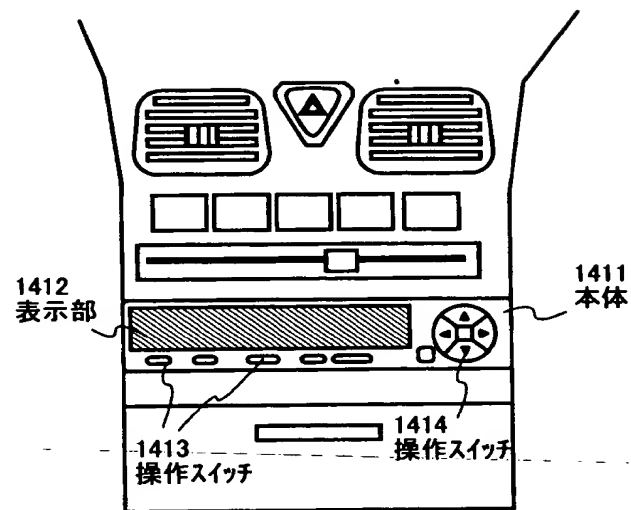
【図 13】



【図 14】

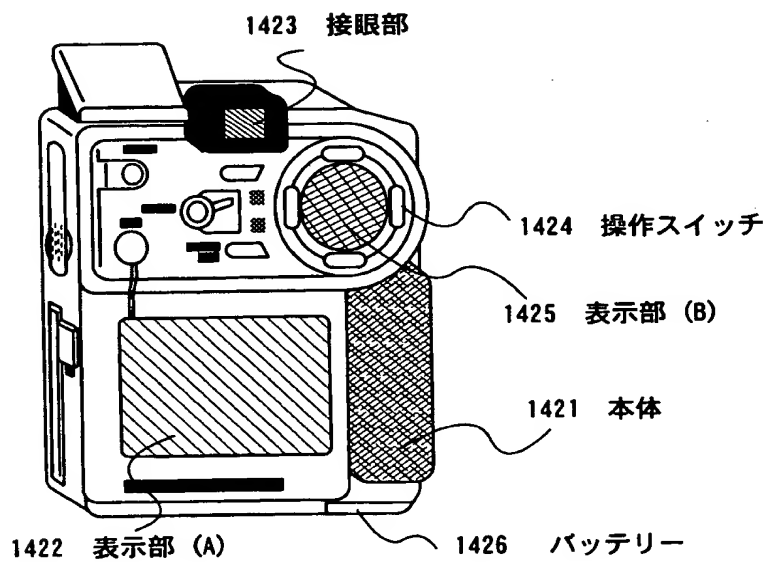


(A)



(B)

(C)



【書類名】 要約書

【要約】

【課題】 自発光装置において、画素における不良の検査を作製工程の途中で行うことで、製品の低コスト化を図る。

【解決手段】 本発明の検査装置を用いて、素子基板上の画素が有するトランジスタ、及び周辺駆動回路が有するトランジスタを検査することにより、自発光装置を完成させる前の段階で不良を発見することが出来る。これにより、不良品を最終工程まで通すことにより生じるロスの低減及びリペアでの修復による歩留まりの向上に寄与することが出来る。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所